

IC TEST SYSTEM

Patent Number: JP9061491
Publication date: 1997-03-07
Inventor(s): SAKAUCHI KUNIAKI
Applicant(s): ADVANTEST CORP
Requested Patent: ☐ JP9061491
Application Number: JP19950217430 19950825
Priority Number(s):
IPC Classification: G01R31/26; H01L21/66
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To achieve an economization of a system by eliminating a split loss of a handler.

SOLUTION: An IC test system is constituted of one handler and (m) units ($m \geq 2$) of IC tester. The IC testers 1 each comprise the body 1a and a test head 1b connected to the body by a cable 1c. In the handler 2, the number N_h pieces of ICs to be measured simultaneously is $N_t \times m$ (N_t : number of IC testers to be measured simultaneously). The handler 2 has contact parts 2a, 2a'... to bring the N_t pieces of ICs into contact with the test heads 1b of the IC testers, an interface part 2b for communication of data with the IC testers through a communication cable and a control section 2e to control these parts. The control section 2e can be provided with a function to control the operations of the IC testers and a communication control function for communication with the IC testers as data terminals. The handler 2 and the IC testers 1 may be connected to a LAN. The handler and the IC testers may be housed directly into a host computer.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-61491

(43)公開日 平成9年(1997)3月7日

| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|--------|---------------|--------|
| G 0 1 R 31/26 | | | G 0 1 R 31/26 | Z |
| H 0 1 L 21/66 | | | H 0 1 L 21/66 | Z |

審査請求 未請求 請求項の数5 O.L (全 5 頁)

(21)出願番号 特願平7-217430

(22)出願日 平成7年(1995)8月25日

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 坂内 邦昭

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

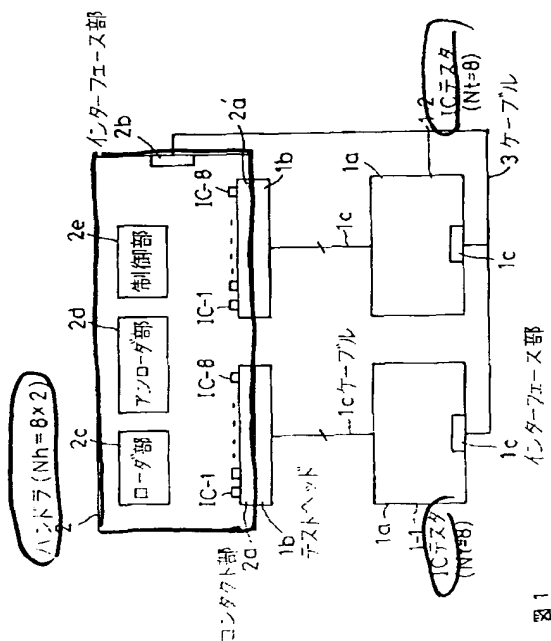
(74)代理人 弁理士 草野 卓 (外1名)

(54) 【発明の名称】 IC試験システム

(57) 【要約】

【課題】 ハンドラの分割ロスを無くし、システムの経済化を図る。

【解決手段】 1台のハンドラと m ($m \geq 2$) 台のICテストによってIC試験システムを構成する。各ICテスト1は本体1aと、その本体にケーブル1cで接続されたテストヘッド1bより成る。ハンドラ2は、ICの同時測定数 N_h が $N_l \times m$ (N_l は各ICテストの同時測定数) とされる。ハンドラ2は各ICテストのテストヘッド1bに N_l 個のICをコンタクトさせるコンタクト部2a、2a'、…、各ICテストと通信ケーブルを介してデータ通信するインターフェース部2bと、各部を制御する制御部2eを有する。制御部2eに各ICテストの動作を制御する機能や、各ICテストをデータ端末として、これらと通信するための通信制御機能をもたせることもできる。またハンドラ2と各ICテスト1をLANに接続してもよい。ハンドラと各ICテストをホストコンピュータに直接収容することもできる。



1

【特許請求の範囲】

【請求項1】 1台のハンドラと、第1～第 m ($m \geq 2$) ICテストとより成るIC試験システムであって、前記第 i ($i = 1 \sim m$) ICテストは、本体と、その本体にケーブルで接続されたテストヘッドとより成り、前記ハンドラは、ICの同時測定数 (N_h) が $N_t \times m$ (N_t は各ICテストの同時測定数) とされ、前記第 i ($i = 1 \sim m$) ICテストのテストヘッドに N_t 個のICをコンタクトさせる第 i ($i = 1 \sim m$) コンタクト部と、

ICを第 i ($i = 1 \sim m$) コンタクト部へ搬送するローダ部と、

試験済ICを試験結果に基いて分類するアンローダ部と、

前記第 i ($i = 1 \sim m$) ICテストと通信ケーブルを介してデータ通信するインターフェース部と、

前記第 i ($i = 1 \sim m$) コンタクト部、ローダ部、アンローダ部及びインターフェース部を制御する制御部と、より成ることを特徴とするIC試験システム。

【請求項2】 請求項1において、前記ハンドラの制御部が前記各ICテストの動作を制御することを特徴とするIC試験システム。

【請求項3】 請求項1において、前記ハンドラの制御部が、前記各ICテストをデータ端末として、これらと通信するための通信制御機能を有することを特徴とするIC試験システム。

【請求項4】 請求項1において、前記ハンドラと各ICテストとがLANに接続されていることを特徴とするIC試験システム。

【請求項5】 請求項1において、前記ハンドラと各ICテストとがホストコンピュータに収容されていることを特徴とするIC試験システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はIC試験システムに関する。

【0002】

【従来の技術】 従来のIC試験システムの一例を図4により説明する。この例では同時に16個のICを試験するために、同時測定数 $N_s = 8$ の2つの試験システム $S-1$ 及び $S-2$ を備えている。各試験システムは、同時測定数 $N_t = 8$ のICテスト1と、同時測定数 $N_h = 4$ のハンドラ2-1、2-2を用いている。

【0003】 ICテスト1は主に電子回路より成る本体1aと、主に接続機構より成るテストヘッドと、両者を接続するケーブル1cより成る。ケーブル1cには試験すべきICに試験電圧/電流を供給するための導線、発生した電流/電圧を測定するための導線等が含まれる。通常ICテストとして同時測定数 N_t が1、2、4、8、16、32又は64のものが標準化されている。

【0004】 ハンドラ2には、ICテスト1のテストヘッド1bに $N_h = 4$ 個のICをコンタクトさせるコンタクト部2aと、ICテスト1と通信ケーブル3を介してデータ通信するインターフェース部2bが設けられる。その他図示していないが被試験ICをコンタクト部2aへ搬送するローダ部、試験済ICを試験結果に基いて分類するアンローダ部、各部を制御する制御部等も備えられている。通常ハンドラとして同時測定数 N_h が1、2、4、8、16、32又は64のものが標準化されている。

【0005】

【発明が解決しようとする課題】 従来のIC試験システムは1台のICテストを主にして1台又は2台のハンドラ2を従属させる構成であった。ICテストのフロア占有スペースがハンドラのそれよりかなり大きかった時代にとられていた構成が今日迄継続されている。ところで、ICテストの本体は電子回路を主体にしたもので、その集積化が進むにつれて益々小形軽量化され、同時測定数を同一とした場合、ハンドラよりかなり小形にすることが可能で、ハンドラ内に実装することも可能になって来ている。一方、ハンドラは接続部分、搬送機構、恒温槽が主であり小形軽量化するのは困難であると共に、被試験ICの数量の増大に伴ないその試験時間の短縮のために、同時測定数 N_h が大きくなり、従って外形寸法も大きくなる傾向にある。

【0006】 上述のように、ICテストが益々小形軽量化される反面、ハンドラの同時測定数 N_h 及びその外形が益々大形になって来ると、1台のICテストに複数のハンドラを従属させる従来の構成は、時代の進歩にそぐはなくなって来っており、いたずらにハンドラの分割ロスを招く結果にもなっている。(図4では4台のハンドラを使用している。) この発明の目的は、ハンドラの分割ロスをなくし、システムの経済化を図ろうとするものである。

【0007】

【課題を解決するための手段】

(1) 請求項1のIC試験システムは、1台のハンドラと、第1～第 m ($m \geq 2$) ICテストとより成るIC試験システムであって、第 i ($i = 1 \sim m$) ICテストは、本体と、その本体にケーブルで接続されたテストヘッドとより成る。ハンドラは、ICの同時測定数 (N_h) が $N_t \times m$ (N_t は各ICテストの同時測定数) とされ、第 i ($i = 1 \sim m$) ICテストのテストヘッドに N_t 個のICをコンタクトさせる第 i ($i = 1 \sim m$) コンタクト部と、ICを第 i ($i = 1 \sim m$) コンタクト部へ搬送するローダ部と、試験済ICを試験結果に基いて分類するアンローダ部と、第 i ($i = 1 \sim m$) ICテストと通信ケーブルを介してデータ通信するインターフェース部と、第 i ($i = 1 \sim m$) コンタクト部、ローダ部、アンローダ部及びインターフェース部を制御する制御部

とより成る。

【0008】(2)請求項2の発明は、ハンドラの制御部が各ICテストの動作を制御するものである。

(3)請求項3の発明は、ハンドラの制御部が、各ICテストをデータ端末として、これらと通信するための通信制御機能を有するものである。

(4)請求項4の発明は、ハンドラと各ICテストとがLANに接続されているものである。

【0009】(5)請求項5の発明は、ハンドラと各ICテストとがホストコンピュータに収容されているものである。

【0010】

【発明の実施の形態】この発明の実施例を図1に、図4と対応する部分に同じ符号を付けて示す。この発明では1台のハンドラ2を主にして、これに2台（一般にはm台）のICテスト1-1、1-2を従属させている。従ってハンドラ及び各ICテストの同時測定数 N_h 、 N_t との間には、 $N_h = m \times N_t$ の関係がある。図1の例では $N_h = 16$ 、 $m = 2$ 、 $N_t = 8$ とされている。

【0011】ハンドラのコンタクト部2a、2a'（一般にm個）は各ICテストのテストヘッド1bに N_t 個のICをそれぞれコンタクトさせる。インターフェース部2bはICテスト1-1、1-2（一般にはm台）と通信ケーブル3を介してデータ通信するものである。ハンドラにはこの他従来例で述べたローダ部2c、アンローダ部2d等も設けられている。

【0012】制御部2eはコンタクト部2a、2a'、ローダ部2c、アンローダ部2d及びインターフェース部2bの動作を制御する。制御部2eが試験システムのコントロールセンタとして複数のICテストの各制御部を制御する、つまり各ICテストの動作を制御するのが望ましい（請求項2）。また、各ICテストをデータ端末として、これらとデータ通信するための通信制御機能を付与すると便利である（請求項3）。

【0013】ハンドラ2と各ICテスト1との間のデータ通信用インターフェースとしては、計測機関係でよく用いられる8ビットパラレルのGPIOB（IEEE-488）、LAN（Local Area Network）インターフェースとして代表されるイーサネット（Ethernet）やパソコン、ワークステーション等に用いるSCSI（Small Computer Systems Interface）等を用いることができる。

【0014】図1のケーブル3として図2に示すように事業所内のLANを利用することができる（請求項4）。図2はバス形LANと呼ばれ、ネットワークを構

成する各装置（この例ではハンドラ、ICテスト、ホストコンピュータ等）をバスと呼ばれる伝送路に接続した構成であり、各装置はすべてバスを共用して通信を行う。各装置から出力されるデータはバスに接続されたすべての装置に受信されるが、各装置では受信したデータ中のあて先をチェックし、自装置あてのデータのみを取りこみ処理する。また図2Bに示すようにLAN内のホストコンピュータ10を経由してハンドラ2とテスト1を接続することもできる。また別の方式として図3に示すようにホストコンピュータ10に直接ハンドラ2及びICテスト1を収容することもできる（請求項5）。

【0015】LANにはこの他リング形LAN及びスター形LANがある。リング形LANは、ネットワークを構成する各装置を順次伝送路によって接続してリング状に構成して通信を行う。スター形LANでは、ネットワークを構成する各装置（ハンドラ及びICテストを含む）は、ネットワークの中央に設置される制御装置（例えばホストコンピュータや電子交換機）との間に伝送路を持ち、各装置間の通信はこの制御装置を介して行われる。

【0016】制御部2eに付与する通信制御機能としては、回線の接続制御、受信信号の選択又は信号送出、データのバッファリング、データ伝送速度とコンピュータの処理速度とのマッチング、誤り制御、伝送制御、メッセージの処理等がある。

【0017】

【発明の効果】この発明では1台のハンドラを主にしてm台の小形なICテストを従属させ、ハンドラ及び各ICテストの同時測定数 N_h 、 N_t を $N_h = m \times N_t$ に設定したので、従来のようにIC試験システムに複数のハンドラを用意する必要がなくなり、ハンドラの分割ロスをなくし、システムを経済的に構成することができる。

【0018】この発明では $N_t = N_h / m$ であるので、所有しているものの N_t が小さい故に現在使用されなくなったICテストを再利用することもできる。ハンドラ2と複数のICテスト1との間の通信回線に事業所内のLANを利用することによりシステムの経済的な構成が可能である。

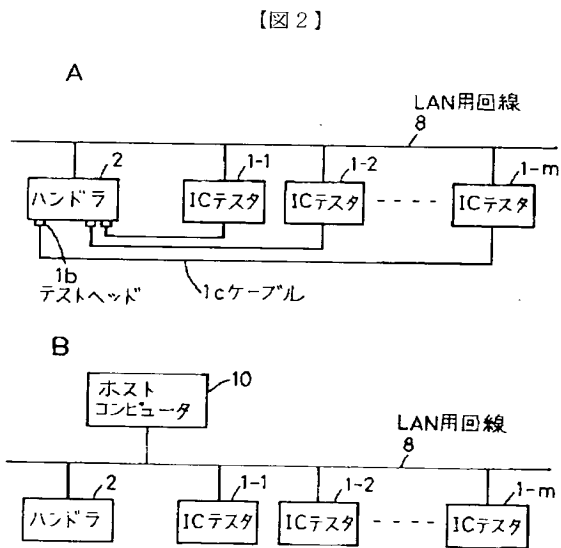
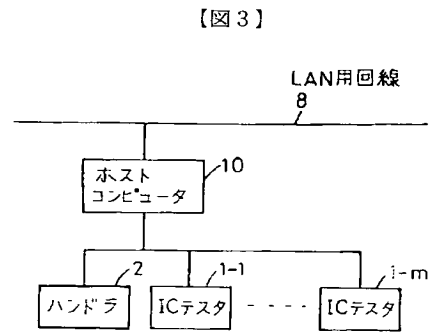
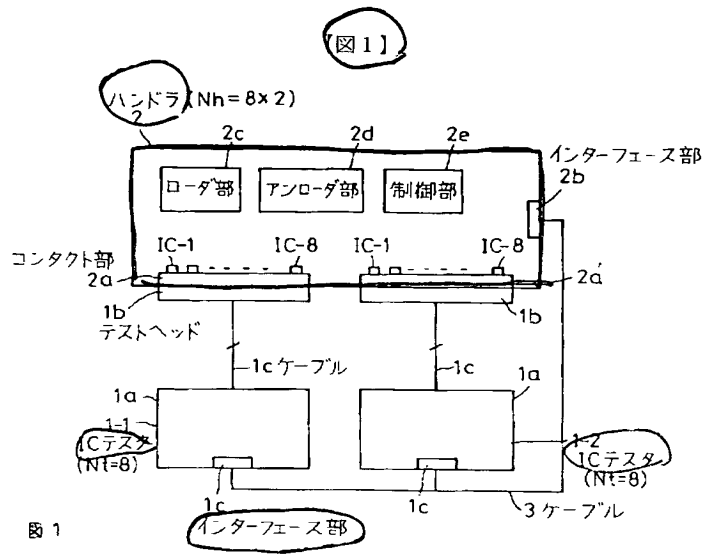
【図面の簡単な説明】

【図1】この発明の実施例を示すブロック図。

【図2】図1のケーブル3としてLANを利用した場合のシステムの接続図。

【図3】図1のハンドラとICテストをホストコンピュータに直接収容した場合のブロック図。

【図4】従来のIC試験システムのブロック図。



【図 4】

